

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: IMAI, Hajime et al Conf.:  
Appl. No.: NEW Group:  
Filed: September 17, 2003 Examiner:  
For: WIRING SUBSTRATE AND METHOD FOR  
MANUFACTURING THE SAME

L E T T E R

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

September 17, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-291085	October 3, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By  #19382  
Charles Gorenstein, #29,271

CG/tmr  
4633-0105P

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

Attachment(s)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

IMAI et al  
September 17, 2003  
BSKB LLP  
703-205-8000  
4633-010SP  
1 OF 1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年10月 3日

出 願 番 号  
Application Number:

特願2002-291085

[ ST.10/C ]:

[ JP2002-291085 ]

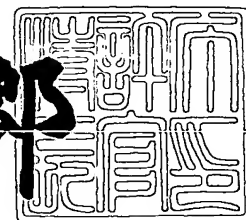
出 願 人  
Applicant(s):

シャープ株式会社

2003年 7月 2日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3052212

【書類名】 特許願

【整理番号】 02J02292

【提出日】 平成14年10月 3日

【あて先】 特許庁長官 殿

【国際特許分類】 G09F 9/30

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 今井 元

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 杉本 修

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 岡田 勝博

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 小笠原 功

【特許出願人】

    【識別番号】 000005049

    【氏名又は名称】 シャープ株式会社

【代理人】

    【識別番号】 100077931

    【弁理士】

    【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208453

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 配線基板およびその製造方法

【特許請求の範囲】

【請求項 1】 基板の周辺部に形成されたショートリングと、前記ショートリングから同一平面において独立した独立配線パターンと、前記独立配線パターンに最も近接し、かつ前記ショートリングと同一平面において連続する連続配線パターンと、前記独立配線パターンおよび前記連続配線パターンを覆う絶縁膜とを有する配線基板であって、

前記絶縁膜は、前記独立配線パターンまで貫通する第 1 貫通口と、前記連続配線パターンまで貫通する第 2 貫通口とを有する、配線基板。

【請求項 2】 前記第 1 貫通口から前記連続配線パターンまでの距離は、前記第 1 貫通口および前記第 2 貫通口を結ぶ仮想線上における、前記第 2 貫通口から前記連続配線パターンまでの距離よりも長い、請求項 1 に記載の配線基板。

【請求項 3】 基板の周辺部に形成されたショートリングと、前記ショートリングから同一平面において独立した独立配線パターンと、前記ショートリングと同一平面において連続する第 1 連続配線パターンと、前記独立配線パターンおよび前記第 1 連続配線パターンの間に介在し、かつ前記ショートリングと同一平面において連続する第 2 連続配線パターンと、前記独立配線パターン、前記第 1 および第 2 連続配線パターンを覆う絶縁膜とを有する配線基板であって、

前記絶縁膜は、前記独立配線パターンまで貫通する第 1 貫通口と、前記第 1 連続配線パターンまで貫通する第 2 貫通口と、前記第 2 連続配線パターンまで貫通する第 3 貫通口とを有しており、

前記独立配線パターンおよび前記第 1 連続配線パターンは、前記第 2 連続配線パターンを跨ぐ接続パターンによって、前記第 1 貫通口および前記第 2 貫通口を介して電氣的に接続されており、

前記第 3 貫通口は、前記接続パターンの形成領域以外の領域に形成されている、配線基板。

【請求項 4】 基板の周辺部に形成されたショートリングと、前記ショートリングから同一平面において独立した独立配線パターンと、前記ショートリング

と同一平面において連続する第 1 連続配線パターンと、前記独立配線パターンおよび前記第 1 連続配線パターンの間に介在し、かつ前記ショートリングと同一平面において連続する第 2 連続配線パターンと、前記独立配線パターン、前記第 1 および第 2 連続配線パターンを覆う絶縁膜とを有する配線基板であって、

前記絶縁膜は、前記独立配線パターンまで貫通する第 1 貫通口と、前記第 1 連続配線パターンまで貫通する第 2 貫通口とを有しており、

前記独立配線パターンおよび前記第 1 連続配線パターンは、前記第 2 連続配線パターンを跨ぐ接続パターンによって、前記第 1 貫通口および前記第 2 貫通口を介して電氣的に接続されており、

前記第 2 連続配線パターンは、前記接続パターンの形成領域以外の領域に、前記ショートリングと同一平面において前記独立配線パターン側へ突出する凸状部を有しており、

前記第 1 貫通口から前記接続パターンの形成領域内における前記第 2 連続配線パターンまでの距離は、前記第 1 貫通口から前記凸状部までの距離よりも長い、配線基板。

【請求項 5】 前記絶縁膜は、前記凸状部の形成領域内に、前記凸状部まで貫通する第 3 貫通口を有する、請求項 4 に記載の配線基板。

【請求項 6】 前記第 1 貫通口から前記接続パターンの形成領域内における前記第 2 連続配線パターンまでの距離は、前記第 1 貫通口から前記第 3 貫通口までの距離よりも長い、請求項 5 に記載の配線基板。

【請求項 7】 前記接続パターンは、前記第 3 貫通口を介して前記凸状部と電氣的に接続されており、前記凸状部は、前記第 2 連続配線パターンから独立している、請求項 5 または 6 に記載の配線基板。

【請求項 8】 前記第 1 貫通口から前記第 2 連続配線パターンまでの距離は、前記第 1 貫通口および前記第 3 貫通口を結ぶ仮想線上における、前記第 3 貫通口から前記第 2 連続配線パターンまでの距離よりも長い、請求項 3、5～7 のいずれか 1 項に記載の配線基板。

【請求項 9】 請求項 1～8 のいずれか 1 項に記載の配線基板を用いて形成された表示装置。

【請求項 1 0】 請求項 3 ～ 6 のいずれか 1 項に記載の配線基板を製造する方法であって、

前記絶縁膜に前記第 1 貫通口および前記第 2 貫通口を形成する工程と、

前記基板上に導電膜を形成する工程と、

前記導電膜をパターンニングして、前記接続パターンを形成する工程とを有する配線基板の製造方法。

【請求項 1 1】 請求項 7 に記載の配線基板を製造する方法であって、

前記絶縁膜に前記第 1 貫通口、前記第 2 貫通口および前記第 3 貫通口を形成する工程と、

前記基板上に導電膜を形成する工程と、

前記導電膜をパターンニングして、前記接続パターンを形成する工程と、

前記凸状部と前記第 2 連続配線パターンとの接続部分を切断する工程とを有する配線基板の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、配線基板およびその製造方法に関する。本発明の配線基板は、液晶表示装置、有機または無機 E L（エレクトロルミネッセント）表示装置、プラズマ表示装置、エレクトロクロミック表示装置などに適用することができる。

【 0 0 0 2 】

【従来の技術】

液晶表示装置などに用いられる T F T（薄膜トランジスタ）基板には、T F T 基板製造時の静電破壊（Electrostatic discharge、以下「E S D」という）を防ぐ目的で、ショートリング（S R）と呼ばれるリング状の導体パターンが基板周辺部に設けられている。S Rには、ゲートバスライン、補助容量線、ソースバスライン、予備配線などが接続されている。S Rは、通常、パネル組み立て後のスクライブ工程や面取り工程で除去される（例えば、特許文献 1 参照）。

【 0 0 0 3 】

【特許文献 1】

特開平8-234227号公報

## 【0004】

図17は、TFT基板の製造工程中、ソースバスラインを形成するための導電膜（以下、ソース膜ともいう。）を基板全面に積層した状態を模式的に示す平面図であり、図18は、図17中のD-D'線断面図である。基板上には、行方向に延びる複数のゲートバスラインGLと、ゲートバスラインGLに対して平行に延びる複数の補助容量線Csと、ICチップとゲートバスラインGLとを導通させるためのゲート端子GTとが形成されている。配線の引き回しがスペース上困難な場合には、例えば図17に示すように、複数の補助容量線Csを接続する補助容量線幹CsTが、ゲートバスラインGLとゲート端子GTとの間に介在するように配置する必要がある。これにより、SRにつながったゲート金属配線（例えば、補助容量線幹CsT、ゲートバスラインGL、予備配線）と、SRにつながっていないゲート金属浮島（例えば、COG(Chip On Glass)ゲート端子、COGソース端子）とが存在することになる。

## 【0005】

また、ICチップ実装領域AAには、ICチップに電源電圧を供給するための端子VTやICチップに駆動信号を入力するための配線（不図示）が形成されている。これらの配線パターン上には、ゲート絶縁膜GIおよびソース膜SFが順次成膜されている。

## 【0006】

ゲート絶縁膜GIは、ゲートバスラインGLおよびゲート端子GTの各端部近傍の領域に、貫通口GOを有する。ソース膜SFが成膜されるまでの工程での剝離帯電等によりゲート金属浮島に帯電した電荷は、ソース膜SFが成膜された時点で、貫通口GOを介して、SRに接続された配線に流れる。すなわち、ゲート金属浮島に帯電した電荷をSRに逃がすことで基板上的配線は同電位となる。なお、ゲート端子GTとICチップ実装領域AAとが重畳する領域にも、ゲート絶縁膜GIに貫通口GOが形成されている。

## 【0007】

ソース膜SFを成膜した後、パターニングを行って、ソースバスラインSLと



、ゲートバスラインGLおよびゲート端子GTを接続する接続パターンCPとを形成する。図19は、ソース膜をパターニングした状態を模式的に示す平面図である。

#### 【0008】

##### 【発明が解決しようとする課題】

しかしながら、ゲートメタル浮島の貫通口GOからゲートメタル配線までの距離が、ゲート浮島の貫通口GOからゲートメタル配線の貫通口GOまでの距離よりも短い場合、例えばゲート端子GTの貫通口GOから補助容量線幹CsTまでの距離aが、ゲート端子GTの貫通口GOからゲートバスラインGLの貫通口GOまでの距離bよりも短い場合には、ESDが発生する。図20は、ESDの発生を示す断面図である。基板全面が同電位になる前であって、ソース膜SFが成膜された瞬間に、剥離帯電等でゲート浮島とゲートメタル配線のところで生じる電位差（電荷）が、ゲート浮島に一番近いゲートメタル配線部に抜けてESDが発生する。

#### 【0009】

図21は、ESDの発生箇所を示す平面図である。図21に示すように、ESDがゲートバスラインGLとゲート端子GTとを接続する接続パターンCPの形成領域に発生した場合、ゲートバスラインGLと補助容量線Csとがリークし、製品としては不良となる。

#### 【0010】

本発明は、ESDによる製品不良を削減すること、言い換えれば、歩留りを向上させ、製造コストの低減、スループットの向上を図ることを目的とする。

#### 【0011】

##### 【課題を解決するための手段】

本発明の第1の局面による配線基板は、基板の周辺部に形成されたショートリングと、前記ショートリングから同一平面において独立した独立配線パターンと、前記独立配線パターンに最も近接し、かつ前記ショートリングと同一平面において連続する連続配線パターンと、前記独立配線パターンおよび前記連続配線パターンを覆う絶縁膜とを有する配線基板であって、前記絶縁膜は、前記独立配線

パターンまで貫通する第 1 貫通口と、前記連続配線パターンまで貫通する第 2 貫通口とを有する。

【 0 0 1 2 】

前記第 1 貫通口から前記連続配線パターンまでの距離は、前記第 1 貫通口および前記第 2 貫通口を結ぶ仮想線上における、前記第 2 貫通口から前記連続配線パターンまでの距離よりも長いことが望ましい。ここで、第 1 または第 2 貫通口から連続配線パターンまでの距離とは、絶縁膜表面における第 1 または第 2 貫通口の開口端部から連続配線パターンの端部までの最短距離をいう。本明細書において距離とは、平面視における距離をいう。

【 0 0 1 3 】

本発明の第 2 の局面による配線基板は、基板の周辺部に形成されたショートリングと、前記ショートリングから同一平面において独立した独立配線パターンと、前記ショートリングと同一平面において連続する第 1 連続配線パターンと、前記独立配線パターンおよび前記第 1 連続配線パターンの間に介在し、かつ前記ショートリングと同一平面において連続する第 2 連続配線パターンと、前記独立配線パターン、前記第 1 および第 2 連続配線パターンを覆う絶縁膜とを有する配線基板であって、前記絶縁膜は、前記独立配線パターンまで貫通する第 1 貫通口と、前記第 1 連続配線パターンまで貫通する第 2 貫通口と、前記第 2 連続配線パターンまで貫通する第 3 貫通口とを有しており、前記独立配線パターンおよび前記第 1 連続配線パターンは、前記第 2 連続配線パターンを跨ぐ接続パターンによって、前記第 1 貫通口および前記第 2 貫通口を介して電氣的に接続されており、前記第 3 貫通口は、前記接続パターンの形成領域以外の領域に形成されている。

【 0 0 1 4 】

本発明の第 3 の局面による配線基板は、基板の周辺部に形成されたショートリングと、前記ショートリングから同一平面において独立した独立配線パターンと、前記ショートリングと同一平面において連続する第 1 連続配線パターンと、前記独立配線パターンおよび前記第 1 連続配線パターンの間に介在し、かつ前記ショートリングと同一平面において連続する第 2 連続配線パターンと、前記独立配線パターン、前記第 1 および第 2 連続配線パターンを覆う絶縁膜とを有する配線

基板であって、前記絶縁膜は、前記独立配線パターンまで貫通する第 1 貫通口と、前記第 1 連続配線パターンまで貫通する第 2 貫通口とを有しており、前記独立配線パターンおよび前記第 1 連続配線パターンは、前記第 2 連続配線パターンを跨ぐ接続パターンによって、前記第 1 貫通口および前記第 2 貫通口を介して電氣的に接続されており、前記第 2 連続配線パターンは、前記接続パターンの形成領域以外の領域に、前記ショートリングと同一平面において前記独立配線パターン側へ突出する凸状部を有しており、前記第 1 貫通口から前記接続パターンの形成領域内における前記第 2 連続配線パターンまでの距離は、前記第 1 貫通口から前記凸状部までの距離よりも長い。

## 【 0 0 1 5 】

本発明の第 3 の局面による配線基板において、前記絶縁膜は、前記凸状部の形成領域内に、前記凸状部まで貫通する第 3 貫通口を有することが望ましい。この場合、前記第 1 貫通口から前記接続パターンの形成領域内における前記第 2 連続配線パターンまでの距離は、前記第 1 貫通口から前記第 3 貫通口までの距離よりも長いことが望ましい。

## 【 0 0 1 6 】

本発明の第 3 の局面による配線基板において、前記接続パターンは、前記第 3 貫通口を介して前記凸状部と電氣的に接続されており、前記凸状部は、前記第 2 連続配線パターンから独立していても良い。

## 【 0 0 1 7 】

本発明の第 2 の局面による配線基板において、前記第 1 貫通口から前記第 2 連続配線パターンまでの距離は、前記第 1 貫通口および前記第 3 貫通口を結ぶ仮想線上における、前記第 3 貫通口から前記第 2 連続配線パターンまでの距離よりも長いことが望ましい。また、本発明の第 3 の局面による配線基板であって、前記絶縁膜が、前記凸状部の形成領域内に、前記凸状部まで貫通する第 3 貫通口を有する場合、前記第 1 貫通口から前記第 2 連続配線パターンまでの距離は、前記第 1 貫通口および前記第 3 貫通口を結ぶ仮想線上における、前記第 3 貫通口から前記第 2 連続配線パターンまでの距離よりも長いことが望ましい。

## 【 0 0 1 8 】

本発明の表示装置は、本発明の配線基板を用いて形成される。

【 0 0 1 9 】

本発明の第 1 の局面による製造方法は、本発明の第 2 または第 3 の局面による配線基板を製造する方法であって、前記絶縁膜に前記第 1 貫通口および前記第 2 貫通口を形成する工程と、前記基板上に導電膜を形成する工程と、前記導電膜をパターンニングして、前記接続パターンを形成する工程とを有する。

【 0 0 2 0 】

本発明の第 2 の局面による製造方法は、本発明の第 3 の局面による配線基板において、前記接続パターンが、前記第 3 貫通口を介して前記凸状部と電氣的に接続されており、前記凸状部が、前記第 2 連続配線パターンから独立している配線基板を製造する方法であって、前記絶縁膜に前記第 1 貫通口、前記第 2 貫通口および前記第 3 貫通口を形成する工程と、前記基板上に導電膜を形成する工程と、前記導電膜をパターンニングして、前記接続パターンを形成する工程と、前記凸状部と前記第 2 連続配線パターンとの接続部分を切断する工程とを有する。

【 0 0 2 1 】

【発明の実施の形態】

以下、図面を参照しながら本発明による実施形態を説明する。

【 0 0 2 2 】

(実施形態 1)

実施形態 1 の配線基板は、本発明の第 1 の局面による配線基板の実施形態である。図 1 は、実施形態 1 の配線基板を説明するための模式的な平面図であり、図 2 は、図 1 中の II-II 線断面図である。

【 0 0 2 3 】

本実施形態の配線基板は、基板の周辺部に形成された S R (不図示) と、S R から同一平面において独立したゲート端子 G T と、ゲート端子 G T に最も近接し、かつ S R と同一平面において連続する補助容量線幹 C s T と、ゲート端子 G T および補助容量線幹 C s T を覆うゲート絶縁膜 G I とを有する。ゲート絶縁膜 G I には、ゲート端子 G T まで貫通する第 1 貫通口 G O 1 と、補助容量線幹 C s T まで貫通する第 2 貫通口 G O 2 とが形成されている。

## 【 0 0 2 4 】

周囲から電氣的に孤立したゲート端子G Tに最も近接する補助容量線幹C s T上のゲート絶縁膜G Iは開口しているので、ソース膜S Fを成膜した瞬間に、ゲート端子G Tに蓄積された電荷が、第1貫通口G O 1および第2貫通口G O 2を介して、S Rにつながっている補助容量線幹C s Tに移動する。これにより、E S Dの発生を防ぐことができる。

## 【 0 0 2 5 】

第1貫通口G O 1から補助容量線幹C s Tまでの距離1は、第1貫通口G O 1および第2貫通口G O 2を結ぶ仮想線上における、第2貫通口G O 2から補助容量線幹C s Tまでの距離2よりも長いことが望ましい。ソース膜S Fをスパッタ法やC V D (Chemical Vapor Deposition) 法により成膜する場合、第1貫通口G O 1と第2貫通口G O 2とを結ぶ仮想線の略中間点にて、第1貫通口G O 1および第2貫通口G O 2を介したゲート端子G Tと補助容量線幹C s Tとの電氣的な接続がなされる。

## 【 0 0 2 6 】

図22は、距離1が距離2よりも短い場合のE S Dの発生を示す模式的な平面図である。距離1が距離2よりも短い場合、ゲート端子G Tに帯電した電荷は、第1貫通口G O 1および第2貫通口G O 2を介してゲート端子G Tと補助容量線とが電氣的に接続される前に、第1貫通口G O 1から近い補助容量線幹C s Tの端部に抜けるので、E S Dが発生する。距離1が距離2よりも長い場合には、ゲート端子G Tに帯電した電荷は、補助容量線幹C s Tの端部に抜ける前に、第1貫通口G O 1および第2貫通口G O 2を介してゲート端子G Tと補助容量線とが電氣的に接続されることによって、第2貫通口G O 2を介して補助容量線幹C s Tに移動する。したがって、距離1を距離2よりも長く設定することによって、E S Dの発生をより確実に防ぐことができる。

## 【 0 0 2 7 】

## (実施形態2)

実施形態2の配線基板は、本発明の第2の局面による配線基板の実施形態である。図3は、実施形態2の配線基板を説明するための模式的な平面図であり、図

4 は、図 3 中の IV-IV 線断面図である。

【 0 0 2 8 】

本実施形態の配線基板は、基板の周辺部に形成された S R（不図示）と、S R から同一平面において独立したゲート端子 G T と、S R と同一平面において連続するゲートバスライン G L と、ゲート端子 G T およびゲートバスライン G L の間に介在し、かつ S R と同一平面において連続する補助容量線幹 C s T と、ゲート端子 G T、ゲートバスライン G L および補助容量線幹 C s T を覆うゲート絶縁膜 G I とを有する。ゲート絶縁膜 G I には、ゲート端子 G T まで貫通する第 1 貫通口 G O 1 と、ゲートバスライン G L まで貫通する第 2 貫通口 G O 2 と、補助容量線幹 C s T まで貫通する第 3 貫通口 G O 3 とが形成されている。

【 0 0 2 9 】

ゲート端子 G T およびゲートバスライン G L は、補助容量線幹 C s T を跨ぐ接続パターン C P によって、第 1 貫通口 G O 1 および第 2 貫通口 G O 2 を介して電氣的に接続されている。また、第 3 貫通口 G O 3 は、接続パターン C P の形成領域以外の領域に形成されている。

【 0 0 3 0 】

周囲から電氣的に孤立したゲート端子 G T に最も近接する補助容量線幹 C s T 上のゲート絶縁膜 G I は開口しているので、ソース膜 S F を成膜した瞬間に、ゲート端子 G T に蓄積された電荷が、第 1 貫通口 G O 1 および第 3 貫通口 G O 3 を介して、S R につながっている補助容量線幹 C s T に移動する。これにより、E S D の発生を防ぐことができる。また、第 3 貫通口 G O 3 は、接続パターン C P の形成領域以外の領域に形成されている。言い換えれば、第 3 貫通口 G O 3 の領域に形成されたソース膜 S F は、フォトリソグラフィ法により接続パターン C P を形成した際に、除去される。したがって、ゲートバスライン G L と補助容量線幹 C s T とのリークを避けることができる。

【 0 0 3 1 】

第 1 貫通口 G O 1 から補助容量線幹 C s T までの距離 1 は、第 1 貫通口 G O 1 および第 3 貫通口 G O 3 を結ぶ仮想線上における、第 3 貫通口 G O 3 から補助容量線幹 C s T までの距離 2 よりも長いことが望ましい。これにより、E S D の発

生をより確実に防ぐことができる。

【 0 0 3 2 】

(実施形態 3)

実施形態 3 の配線基板は、本発明の第 3 の局面による配線基板の実施形態である。図 5 は、実施形態 3 の配線基板を説明するための模式的な平面図であり、図 6 は、図 5 中の VI-VI 線断面図である。

【 0 0 3 3 】

本実施形態の配線基板は、基板の周辺部に形成された SR (不図示) と、SR から同一平面において独立したゲート端子 GT と、SR と同一平面において連続するゲートバスライン GL と、ゲート端子 GT およびゲートバスライン GL の間に介在し、かつ SR と同一平面において連続する補助容量線幹 CsT と、ゲート端子 GT、ゲートバスライン GL および補助容量線幹 CsT を覆うゲート絶縁膜 GI とを有する。ゲート絶縁膜 GI には、ゲート端子 GT まで貫通する第 1 貫通口 GO1 と、ゲートバスライン GL まで貫通する第 2 貫通口 GO2 とが形成されている。

【 0 0 3 4 】

ゲート端子 GT およびゲートバスライン GL は、補助容量線幹 CsT を跨ぐ接続パターン CP によって、第 1 貫通口 GO1 および第 2 貫通口 GO2 を介して電氣的に接続されている。補助容量線幹 CsT は、接続パターン CP の形成領域以外の領域に、SR と同一平面においてゲート端子 GT 側へ突出する凸状部 CN を有する。第 1 貫通口 GO1 から接続パターン CP の形成領域内における補助容量線幹 CsT までの距離 3 は、第 1 貫通口 GO1 から凸状部 CN までの距離 4 よりも長い。

【 0 0 3 5 】

基板全面が同電位になる前であって、ソース膜 SF が成膜された瞬間に、剥離帯電等でゲート端子 GT と SR につながっている配線との間で生じる電位差 (電荷) が、SR につながった一番近い配線部、つまり補助容量線幹 CsT から突出した凸状部 CN に抜けて、ESD が発生する (図 6 参照)。

【 0 0 3 6 】

また、凸状部CNのパターンは、接続パターンCPの形成領域以外の領域に形成されている。したがって、ゲートバスラインGLと補助容量線幹CsTとがESDを介してリークすることを避けることができ、最終製品の歩留まりを向上させることができる。

【0037】

(実施形態4)

実施形態4の配線基板は、実施形態3の変形例である。図7は、実施形態4の配線基板を説明するための模式的な平面図である。

【0038】

本実施形態の配線基板は、ゲート絶縁膜GIが、凸状部CNの形成領域内に、凸状部CNまで貫通する第3貫通口GO3を有する。ゲート端子GTで生じた電荷は、ゲート端子GTに一番近い凸状部CNに抜けようとする。凸状部CN上のゲート絶縁膜GIに第3貫通口GO3が形成されている場合、ESDが発生させるときの抵抗が第3貫通口GO3を介するときの抵抗よりも極めて大きいので、電荷は抵抗の低い方に抜ける。すなわち、ゲート端子GTで生じた電荷は、第3貫通口GO3を介して凸状部CNに抜ける。したがって、第3貫通口GO3を形成することによって、ESDの発生を抑えることができる。

【0039】

第1貫通口GO1から凸状部CNまでの距離1は、第1貫通口GO1および第3貫通口GO3を結ぶ仮想線上における、第3貫通口GO3から凸状部CNまでの距離2よりも長いことが望ましい。これにより、ESDの発生をより確実に防ぐことができる。

【0040】

(実施形態5)

実施形態5の配線基板は、実施形態4の変形例である。図8は、実施形態5の配線基板を説明するための模式的な平面図である。図8に示すように、第1貫通口GO1から接続パターンCPの形成領域内における補助容量線幹CsTまでの距離3は、第1貫通口GO1から第3貫通口GO3までの距離5よりも長い。これにより、接続パターンCPの形成領域内においてESDが発生するのをより確



実に抑えることができる。

#### 【 0 0 4 1 】

ソース膜 S F を成膜し、パターニングした際に、ダスト（異物）が原因となつて本来必要としない領域にもパターンの膜が残る膜残りやパターン崩れ等が生じるおそれがある。本実施形態の配線基板では、ダストによる膜残りやパターン崩れ等が原因となつて、意図せずに、接続パターン C P が第 3 貫通口 G O 3 を介して凸状部 C N と電氣的に接続されてしまい、ゲート端子 G T と補助容量線幹 C s T とがリークする可能性がある。図 9 は、接続パターン C P によりゲート端子 G T と補助容量線幹 C s T とがリークした状態を示す平面図である。図 9 に示す配線基板では、ダストによる膜残り等が原因となつて、接続パターン C P が歪な平面形状でパターニングされ、第 3 貫通口 G O 3 を介して凸状部 C N に電氣的に接続されてしまっている。これにより、ゲート端子 G T と補助容量線幹 C s T とが、第 1 貫通口 G O 1 および第 3 貫通口 G O 3 を結ぶ接続パターン C P を介してリークする。

#### 【 0 0 4 2 】

このような異常な配線基板は、検査工程等において発見することができる。異常が発見された配線基板は、修理工程に付すことにより、リークの問題を解決することができる。具体的には、凸状部 C N と補助容量線幹 C s T との接続部分 P を切断することによって、凸状部 C N が補助容量線幹 C s T から独立するので、ゲート端子 G T と補助容量線幹 C s T との信号リークを避けることができる。接続部分 P の切断は、レーザーやイオンビームなどのエネルギービームを用いるなどの方法により実現することができる。後の修正工程でレーザー等を用いて切断できるように、補助容量線幹 C s T から突出する凸状部 C N の接続部分 P を細くすることが好ましい。例えば、接続部分 P の幅を  $3 \sim 20 \mu\text{m}$ 、好ましくは  $5 \sim 10 \mu\text{m}$  程度にする。

#### 【 0 0 4 3 】

（実施例）

図 1 0 は、本発明の一実施例である配線基板の全体を模式的に示す平面図である。本実施例の配線基板は、アクティブエリア部 I、ゲート端子部 II、ソース端

子部III を有する。

【 0 0 4 4 】

本実施例の配線基板は、基板の周辺部に形成されたSRと、SRから同一平面においてそれぞれ独立したゲート端子GTおよびソース端子STと、SRと同一平面においてそれぞれ連続するゲートバスラインGLおよび補助容量線Csとを有する。ゲートバスラインGLおよび補助容量線Csは、互いに略平行をなして行方向に延びている。複数の補助容量線Csを接続する補助容量線幹CsTが、ゲートバスラインGLとゲート端子GTとの間を列方向に延びている。また、ICチップ実装領域には、ICチップに電源電圧を供給するための端子VTが形成されている。

【 0 0 4 5 】

列方向に並ぶ両ゲート端子GT間には、補助容量線幹CsTから突出する凸状部CNが介在している。また、行方向に並ぶ両ソース端子ST間には、補助容量線Csから突出する凸状部CNが介在している。これらの配線パターン上には、ゲート絶縁膜（不図示）が積層されている。ゲート絶縁膜には、ゲート端子GTおよびゲートバスラインGLの各端部近傍の領域に、それぞれ第1貫通口GO1および第2貫通口GO2が形成されている。ゲート端子GTとゲートバスラインGLとは、補助容量線幹CsTを跨ぐ接続パターンCPによって、第1貫通口GO1および第2貫通口GO2を介して、電氣的に接続されている。同様に、凸状部CNの領域には、ゲート絶縁膜に第3貫通口GO3が形成されている。

【 0 0 4 6 】

ゲート絶縁膜上には、列方向に延びるソースバスラインSLが形成されている。ソースバスラインSLとゲートバスラインGLとの交差部近傍には、TFTが形成されている。ソースバスラインSLとゲートバスラインGLとで仕切られた領域には、画素電極PEが形成され、アクティブエリア部Iには、複数の画素電極PEがマトリクス状に配置されている。画素電極PEは、コンタクトホールCHを介してTFTに接続されている。ソースバスラインSLの一方端部は、ソース端子STと重畳し、ゲート絶縁膜に形成された第1貫通口GO1を介して、ソースバスラインSLとソース端子STとが電氣的に接続されている。

## 【 0 0 4 7 】

次に、図面を参照しながら、本実施例の配線基板を製造する工程について説明する。図 1 1 (a), (b), (c) は、それぞれ各製造工程における図 1 0 中の A - A' 線断面図、B - B' 線断面図、C - C' 線断面図である。図 1 2 ~ 図 1 6 は、各製造工程における配線基板を模式的に示す平面図である。

## 【 0 0 4 8 】

洗浄されたガラス等の絶縁性基板上に、Reactiveスパッタ装置を用いて、ゲートバスライン等となる導電膜を成膜する。例えば、TiN/Al/Ti (50/100/30 nm) の導電膜を成膜する。フォトリソ工程などにより、レジストをパターニングし、例えばReactive Ion Etching (RIE) モードのドライエッチャーで、ゲートバスライン等を形成し、レジスト剥離液等の薬液でレジストを剥離する（工程 1、図 1 2 参照）。図 1 2 に示すように、補助容量線幹 C s T を挟むようにして、ゲート端子 G T とゲートバスライン G L とが配置されている。ゲートバスライン G L、補助容量線幹 C s T、補助容量線 C s は、S R につながっている。

## 【 0 0 4 9 】

ゲート端子 G T は、いわば浮島となっており、後述するゲート絶縁膜 G I に設けた第 1 貫通口 G O 1 を介して、後述のソースバスライン S L となる導電膜の成膜により S R に接続される。本実施例では、補助容量線幹 C s T から突出する凸状部 C N をゲート端子 G T のすぐ横に配置する。

## 【 0 0 5 0 】

CVD 装置を用いて、ゲート絶縁膜 (400 nm) G I と、TFT 半導体 1 0 である a-Si (150 nm) および n+Si (40nm) とを連続成膜する。フォトレジストを塗布し、Plasma Etching (PE) モードのドライエッチャーを用いて、n+Si/a-Si をエッチングし、半導体の島形成を行う。その後に、レジスト剥離液等の薬液で島形成フォトレジストを剥離する（工程 2、図 1 3 参照）。

## 【 0 0 5 1 】

フォトレジストを塗布し、パターニングして、ゲートバスライン G L、ゲート端子 G T、ソース端子 S T、凸状部 C N それぞれの一部の領域に開口を形成する。RIE モードのドライエッチャーを用いて、露出したゲート絶縁膜 G I をエッチ

ングする。その後に、レジスト剥離液等の薬液で島形成フォトリソを剥離する（工程3、図14参照）。

#### 【0052】

ゲート絶縁膜GIに第1および第2貫通口GO1、GO2を形成することによって、ソースバスラインSLとソース端子STとを電氣的に接続することが可能となる。第1貫通口GO1から第3貫通口GO3までの距離を $\alpha$ とし、第1貫通口GO1から補助容量線幹CsTまでの距離を $\beta$ とすると、距離 $\alpha$ よりも距離 $\beta$ を長くする。すなわち、距離比 $\beta/\alpha$ を1よりも大きくする。本実施例では、例えば、距離比 $\beta/\alpha$ が5程度となるように配置する。

#### 【0053】

次に、ソースメタル膜SFが成膜される。ガラス基板は搬送カセットに入った状態で、成膜装置に運ばれる。基板はカセットから1枚ずつフォーク状もしくは板状のアームにて取り出され、成膜前のウェットクリーナー（乾式洗浄機、パキュームクリーナー）の吸着ステージに載せられ、成膜前洗浄を受ける。洗浄後、基板をロボットアームが再度受け取るので、吸着ステージから基板が持ち上げられる。このとき、ガラス基板に剥離帯電が生じる。しかし、持ち上げられる時のガラスのたわみや反り、ステージの形状、ステージから持ち上げる際のリフトピンの位置等の影響によって、基板がステージから離れるタイミングに面内でズレが生じる。

#### 【0054】

剥離帯電は、ステージに接触しているガラス基板がステージから剥離される瞬間に発生し、その電荷量は接触面積に依存する。ステージから離れるタイミングがズレるということは、基板がステージから離れ始めてから完全に離れるまでの間に、基板とステージとの接触面積が変化することを意味する。したがって、発生する電荷量は、基板がステージから離れ始めてから完全に離れるまでの間に変化する。そのため、ガラス基板は基板面内で不均等な電荷量で帯電した状態となる。

#### 【0055】

この不均等な電荷量での帯電は、SRでつながっている部分に関してはガラス

面内で電荷が均一化される。しかし、ゲート端子G Tはいわば浮島となっているので、電荷が動けず、S Rとゲート端子G Tとで電位差（電荷）が生じる。

## 【 0 0 5 6 】

このような状態のガラス基板上にReactiveスパッタ装置等を用いて、導電膜を成膜する。例えば、ソースメタルAl/Tiの2層を成膜する（100/50nm）。成膜する際、1層目のTiが成膜された瞬間に、貫通口G O 1 ~ G O 3 を介して、ゲートバスラインG L、ゲート端子G T、ソース端子S Tおよび補助容量線幹C s Tが電氣的に接続され、基板全面が同電位になる。ゲート端子G Tやソース端子S Tの第1貫通口G O 1 から凸状部C Nの第3貫通口G O 3 までの距離が、第1貫通口G O 1 から補助容量線幹C s Tや補助容量線C sのエッジまでの距離よりも長く、さらに補助容量線幹C s Tや補助容量線C sの領域に貫通口がないか、もしくはエッジから遠い位置に貫通口がある場合、ゲート端子G T（浮島部）に溜まった電荷はゲート絶縁膜G Iを破壊し、絶縁膜に覆われた配線のエッジに放電される。

## 【 0 0 5 7 】

本実施例によれば、ゲート端子G Tに溜まった電荷は、一番近い凸状部C Nの第3貫通口G O 3 を介して、補助容量線幹C s TからS Rへと流れる。したがって、基板全面が同電位となるので、静電破壊（E S D）は発生しない。

## 【 0 0 5 8 】

ソースTiおよびソースAlを順次成膜して、ソース膜S Fを形成する。その後、フォトリジストを塗布する。磷酸／硝酸／酢酸等のエッチャントを用いて、ソース・ドレインAlをエッチングする。なお、ソースA L／ソースT iをドライエッチングにより連続でエッチングしても良い。

## 【 0 0 5 9 】

これにより島形成されたTFT 部をPEモードのドライエッチャーを用いてエッチングし、チャンネルを形成する。なお、A L／T iをドライエッチングにより連続でエッチングする際に、チャンネルも連続エッチングしても良い。

## 【 0 0 6 0 】

チャンネルの形成とともに、ゲートバスラインG Lおよびゲート端子G Tを接続

する接続パターンCPが形成される。レジスト剥離液等の薬液を用いて、ソース・ドレイン形成フォトリソを剥離する（工程4、図15参照）。

#### 【0061】

第1の層間絶縁膜としてTFT保護SiN膜20（200 nm）をCVD装置で成膜した後、第2の層間絶縁膜として有機樹脂膜30を塗布する。有機樹脂膜30としては、フェノールノボラック樹脂等のフォトリソと同様に、感光剤を入れたアクリルやポリイミド樹脂等であって、露光・現像できる樹脂を用いる。有機樹脂膜30は、層間絶縁膜として使用するので、後の画素電極形成工程中のレジスト剥離時に剥離されない性質を持っている。この性質がフォトリソと異なる。

#### 【0062】

有機樹脂膜30をマスクにして、ドレイン電極－画素電極のコンタクトホールCH内のTFT保護SiNをPEモードのドライエッチャーを用いて処理する。コンタクトホールCHを通して、ドレイン電極と画素電極とが接続される（工程5、図16参照）。但し、剥き出しになったドレインAlと画素電極金属ITOのオーミック抵抗が高いので、ドレイン電極Alをリン酸／硝酸／酢酸等でエッチング処理し、Tiを剥き出しにする（図11（c）参照）。

#### 【0063】

Reactiveスパッタ装置を用いて、画素電極ITOを100 nm成膜し、フォトリソを形成する。塩化第二鉄 $\text{FeCl}_3$ 等でエッチングして、画素電極PEを形成する。最後に、画素電極フォトリソをレジスト剥離液等の薬液で剥離する（工程6、図10参照）。

#### 【0064】

以上の工程を経てアクティブマトリクス基板が製造される。このアクティブマトリクス基板は、液晶表示装置、有機または無機EL（エレクトロルミネッセント）表示装置、プラズマ表示装置、エレクトロクロミック表示装置などに用いることができる。例えば、アクティブマトリクス基板を用いて液晶表示装置を製造する場合について簡潔に説明する。アクティブマトリクス基板と、これに対向する対向基板とにそれぞれ配向膜を形成し、ラビング処理を行う。アクティブマト

リクス基板と対向基板とをシール材を介して貼り合わせ、両基板の間隙に液晶材料を充填して、液晶パネルを組み立てる。その後、スクライブ工程や面取り工程にて、SRを除去する。液晶パネルのICチップ実装領域に、COGのゲートドライバやソースドライバを実装する。

【0065】

本実施例では、TFTの一部が浮島構造となっている場合に、浮島の近くに配置したショートリングにコンタクト窓を開け、その後に成膜される膜を使って、浮島で生じた電荷（電位差）を流すことができる。これにより、静電破壊を防ぐことができる。

【0066】

コンタクト窓を作れない場合でも、浮島のパターンの周囲であって、最終製品の品位に影響を与えない箇所で、選択的にESDを発生させるように、配線パターンを配置する。したがって、歩留りが向上し、製造コストの低減、スループットの向上を達成できる。

【0067】

【発明の効果】

本発明によれば、ESDによる製品不良を削減することができる。したがって、歩留りを向上させ、製造コストの低減、スループットの向上を図ることができる。

【図面の簡単な説明】

【図1】

実施形態1の配線基板を説明するための模式的な平面図である。

【図2】

図1中のII-II線断面図である。

【図3】

実施形態2の配線基板を説明するための模式的な平面図である。

【図4】

図3中のIV-IV線断面図である。

【図5】

実施形態 3 の配線基板を説明するための模式的な平面図である。

【図 6】

図 5 中の VI-VI 線断面図である。

【図 7】

実施形態 4 の配線基板を説明するための模式的な平面図である。

【図 8】

実施形態 5 の配線基板を説明するための模式的な平面図である。

【図 9】

接続パターン CP によりゲート絶縁膜 GI と補助容量線幹 CsT とがリークした状態を示す平面図である。

【図 10】

本発明の一実施例である配線基板の全体を模式的に示す平面図である。

【図 11】

図 11 (a), (b), (c) は、それぞれ各製造工程における図 10 中の A-A' 線断面図、B-B' 線断面図、C-C' 線断面図である。

【図 12】

製造工程 1 における配線基板を模式的に示す平面図である。

【図 13】

製造工程 2 における配線基板を模式的に示す平面図である。

【図 14】

製造工程 3 における配線基板を模式的に示す平面図である。

【図 15】

製造工程 4 における配線基板を模式的に示す平面図である。

【図 16】

製造工程 5 における配線基板を模式的に示す平面図である。

【図 17】

TFT 基板の製造工程中、ソース膜を基板全面に積層した状態を模式的に示す平面図である。

【図 18】



図 1 7 中の D - D' 線断面図である。

【図 1 9】

ソース膜をパターニングした状態を模式的に示す平面図である。

【図 2 0】

E S D の発生を示す断面図である。

【図 2 1】

E S D の発生箇所を示す平面図である。

【図 2 2】

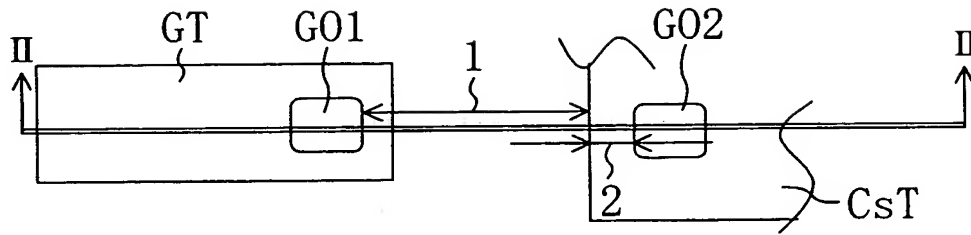
距離 1 が距離 2 よりも短い場合の E S D の発生を示す模式的な平面図である。

【符号の説明】

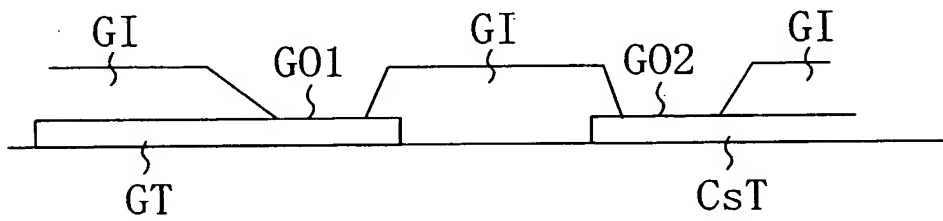
S R	ショートリング
G L	ゲートバスライン
S L	ソースバスライン
G T	ゲート端子
S T	ソース端子
C s	補助容量線
C s T	補助容量線幹
G I	ゲート絶縁膜
G O 1	第 1 貫通口
G O 2	第 2 貫通口
G O 3	第 3 貫通口
C P	接続パターン
C N	凸状部

【書類名】図面

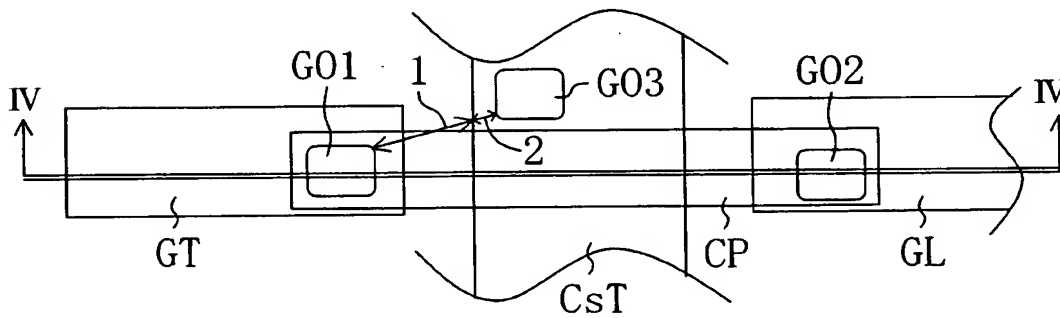
【図 1】



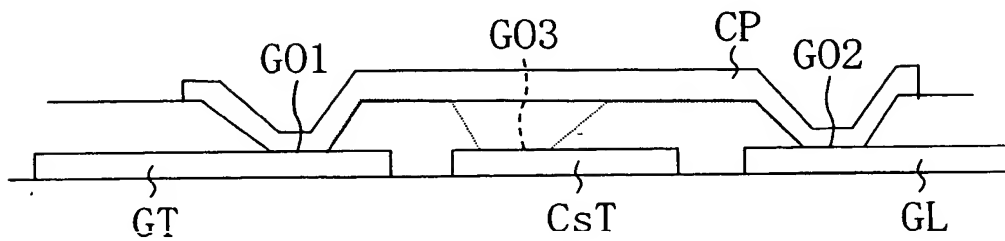
【図 2】



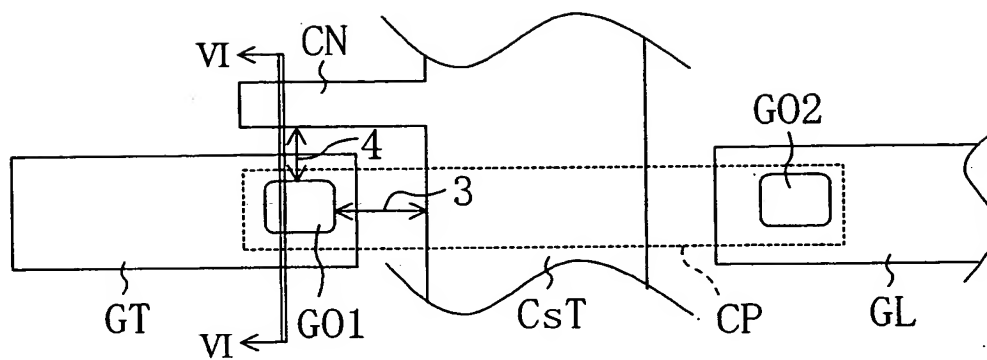
【図 3】



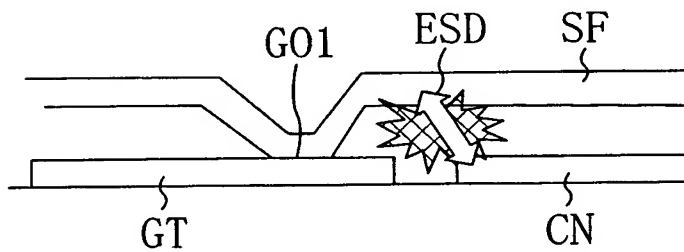
【図 4】



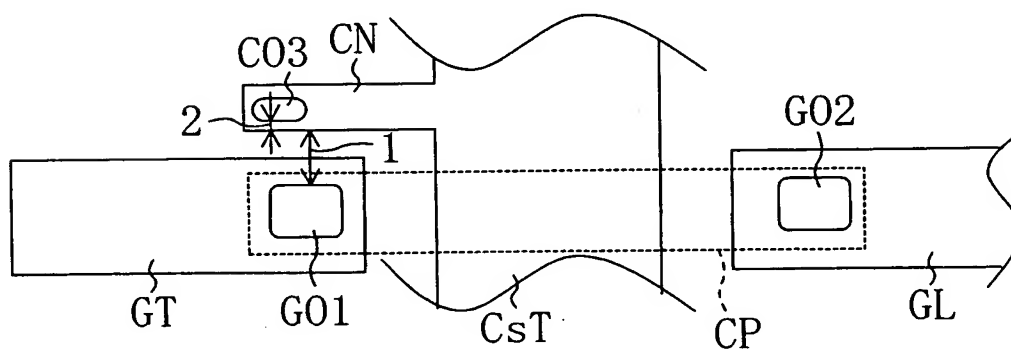
【図 5】



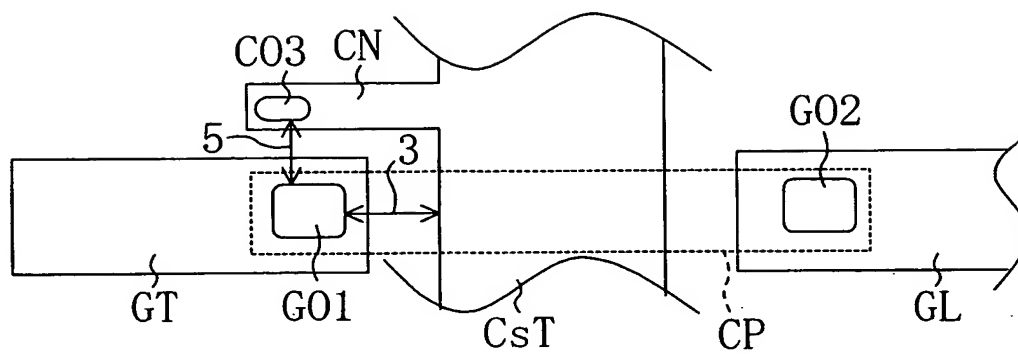
【図 6】



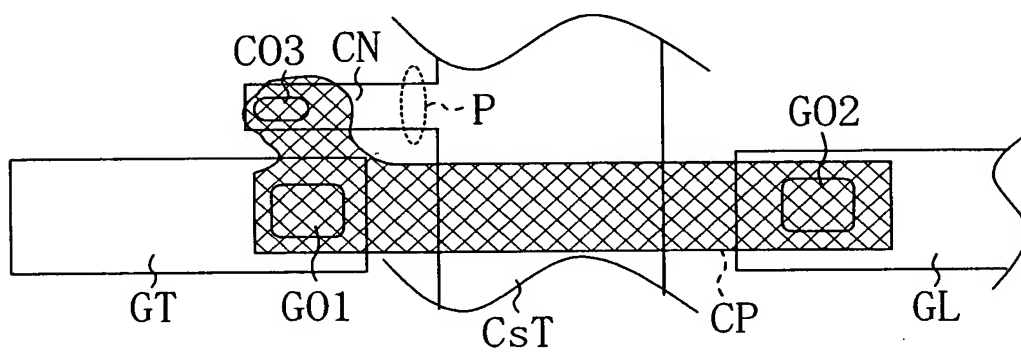
【図 7】



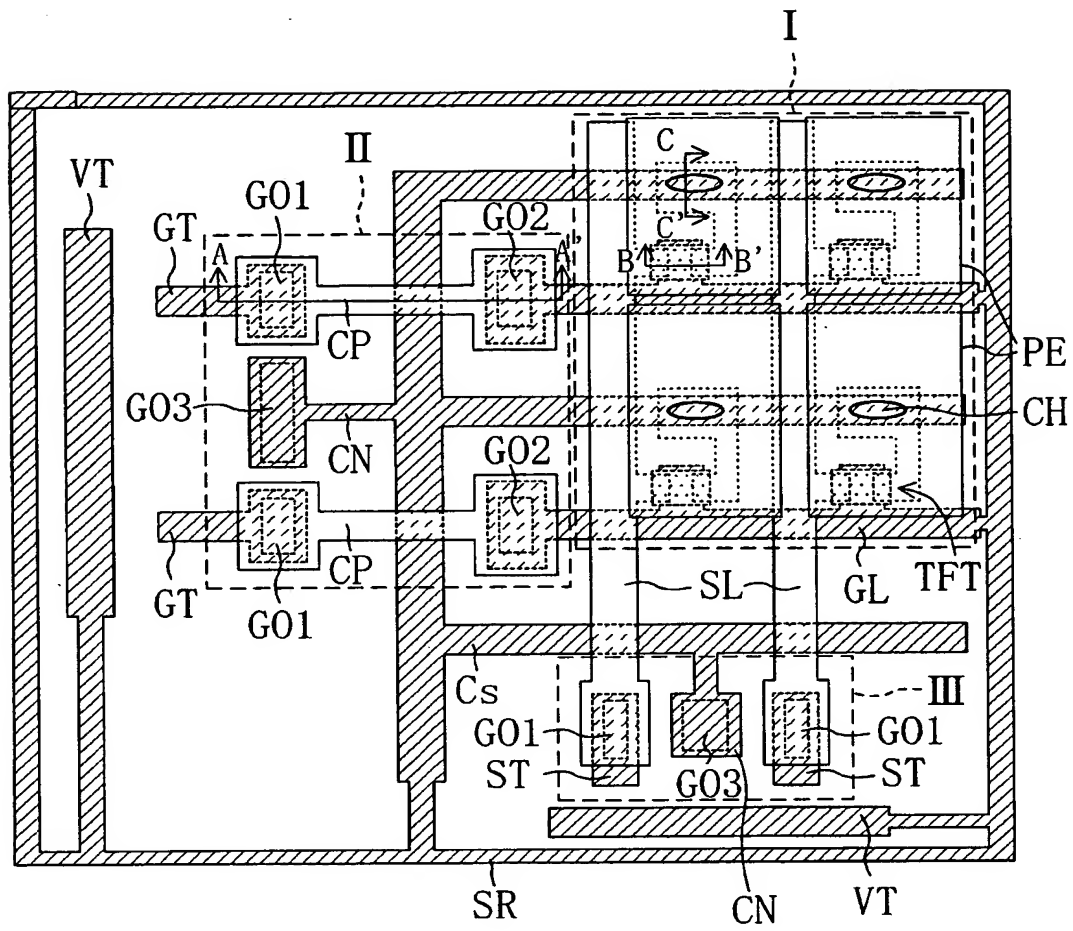
【図 8】



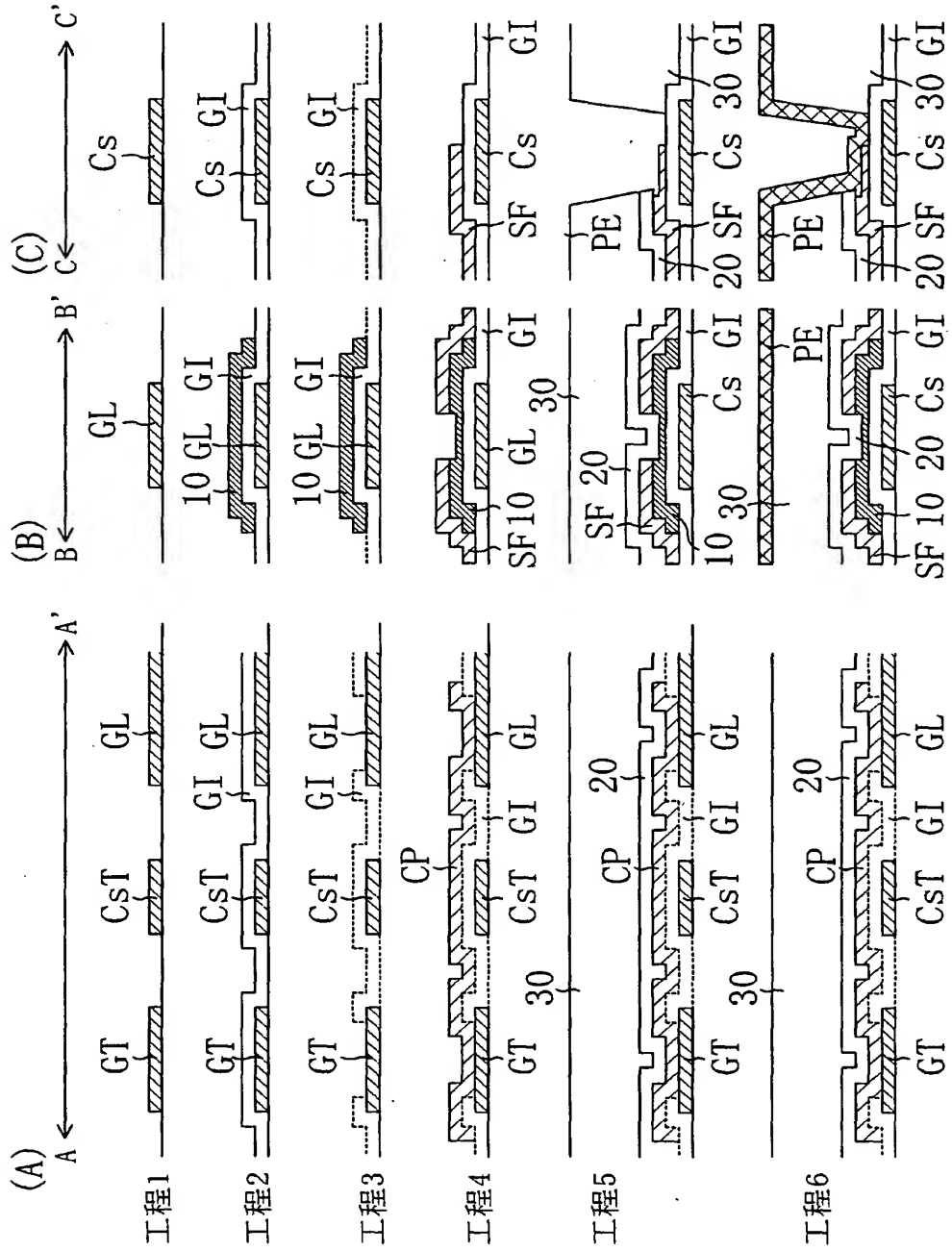
【図 9】



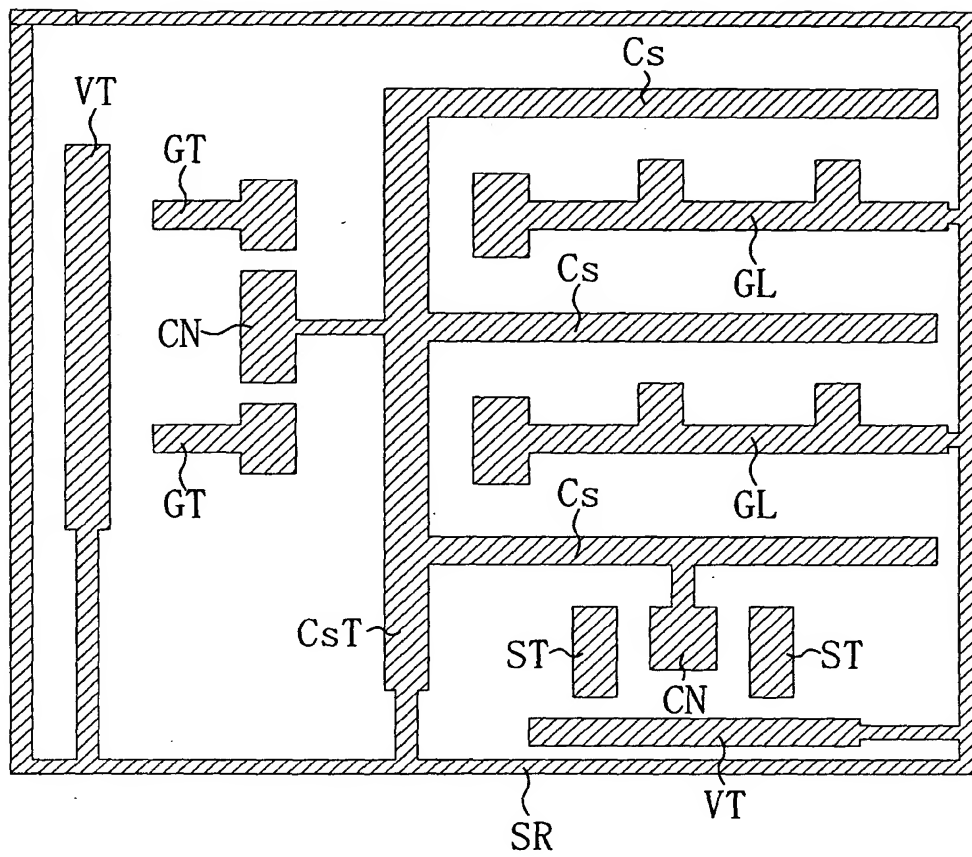
【図10】



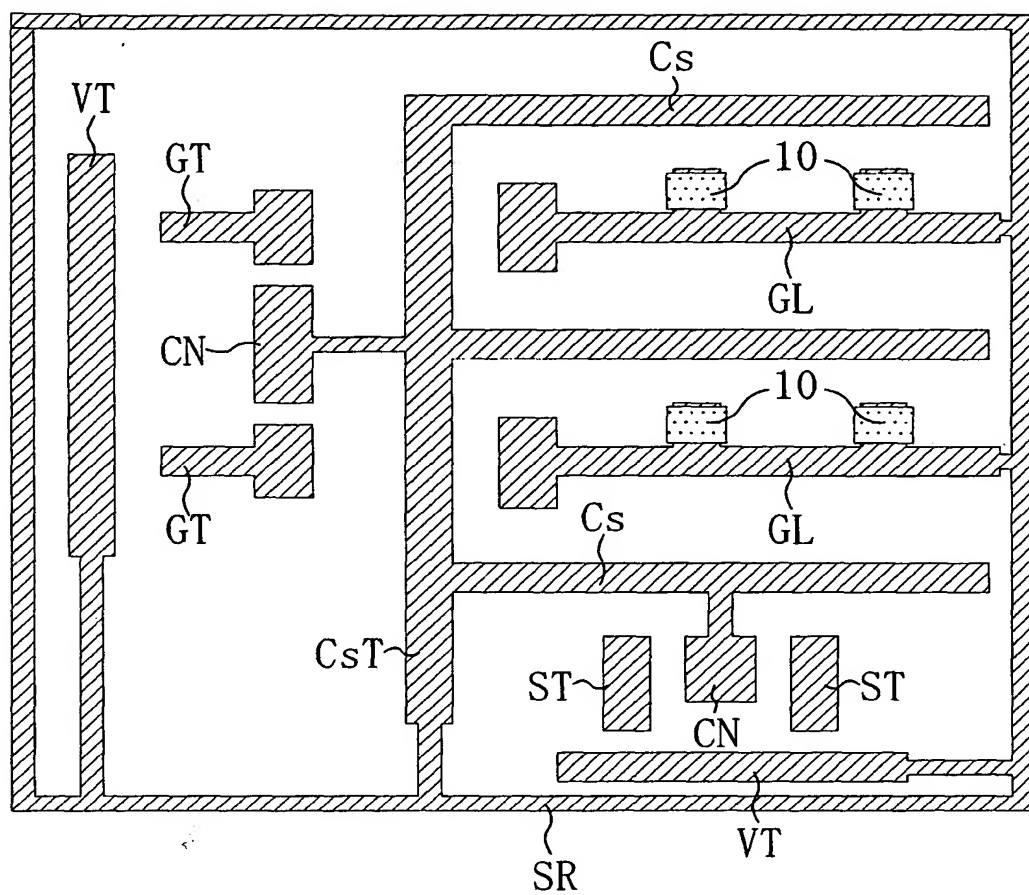
【図 11】



【図 12】

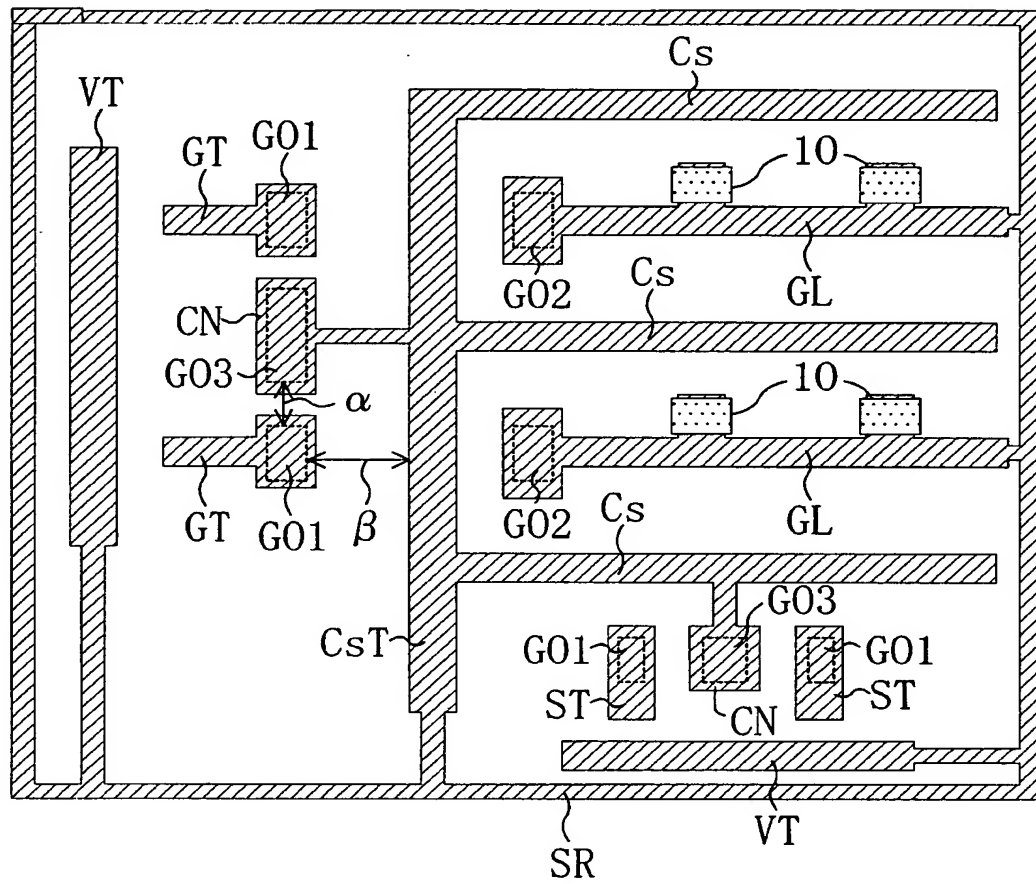


【図 13】

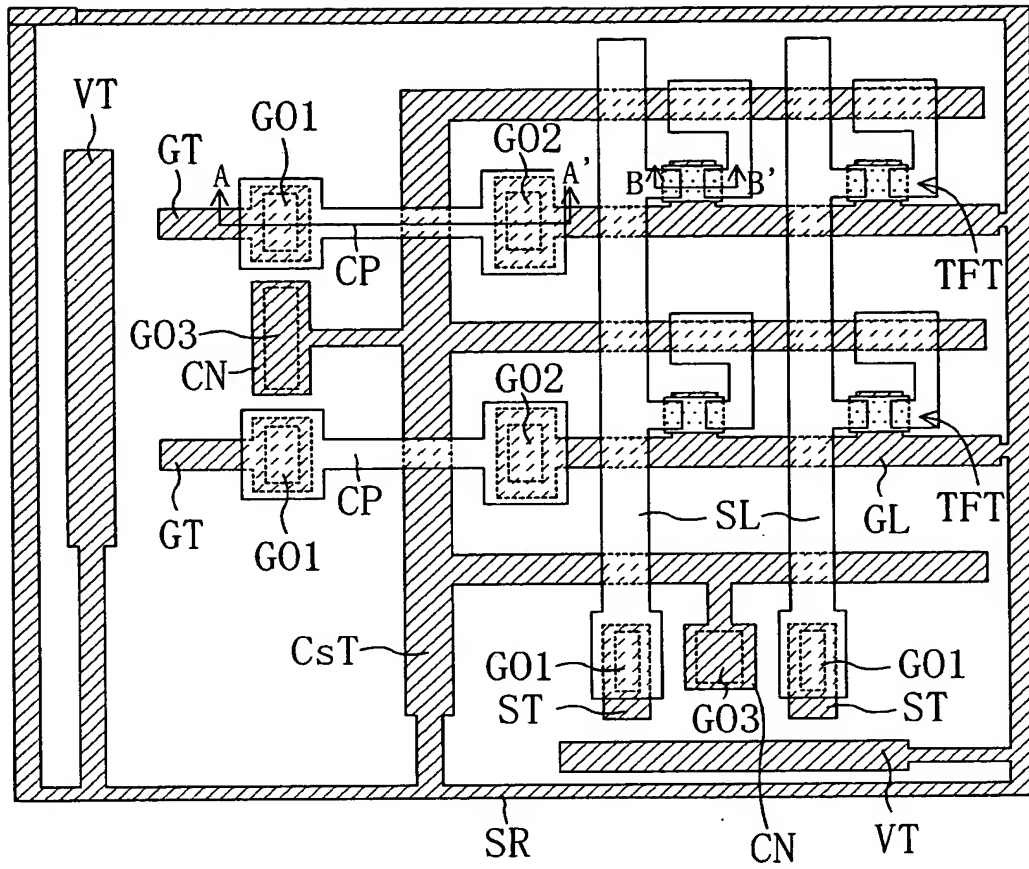




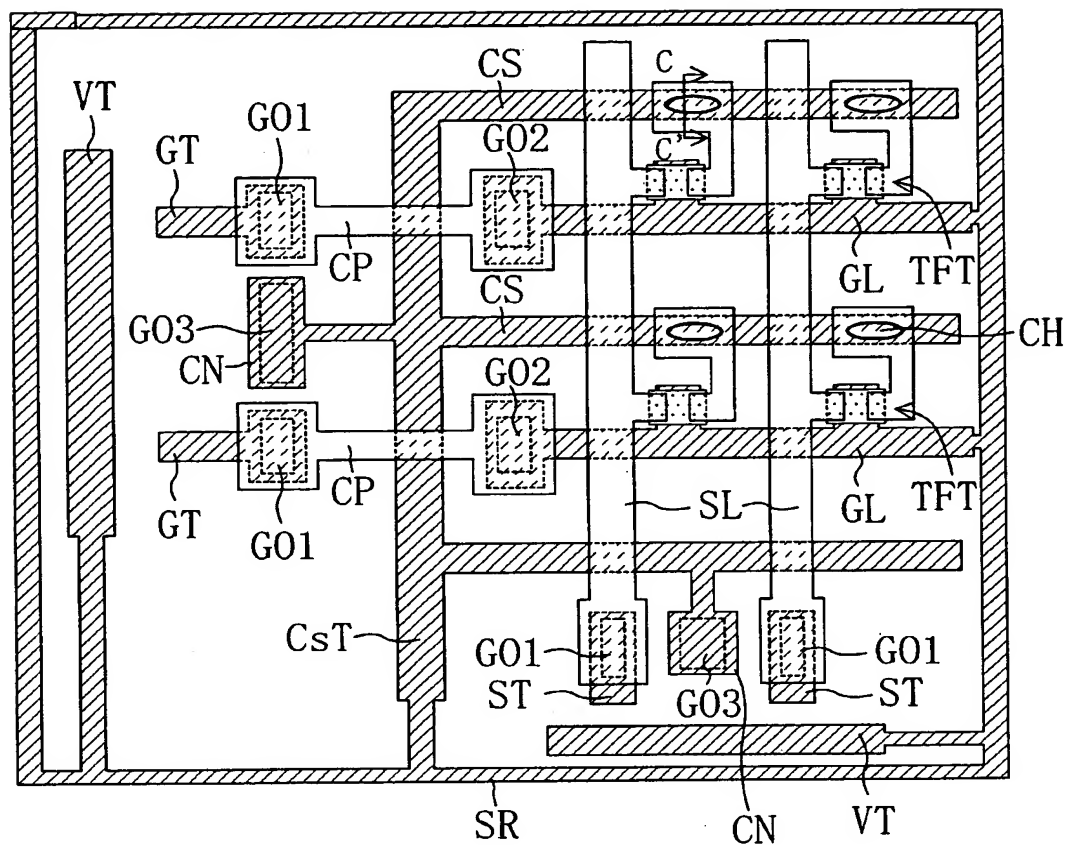
【图 14】



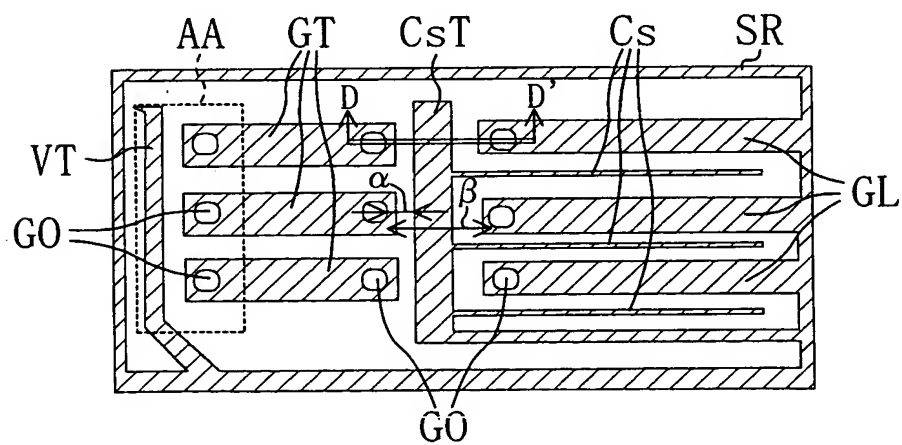
【図 15】



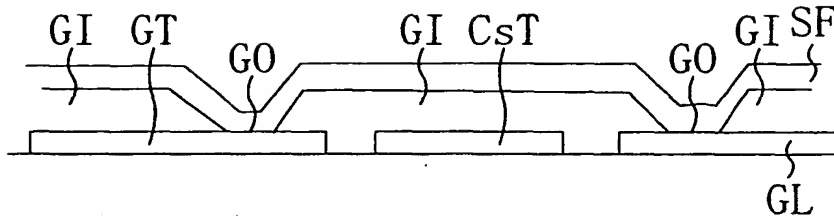
【図 16】



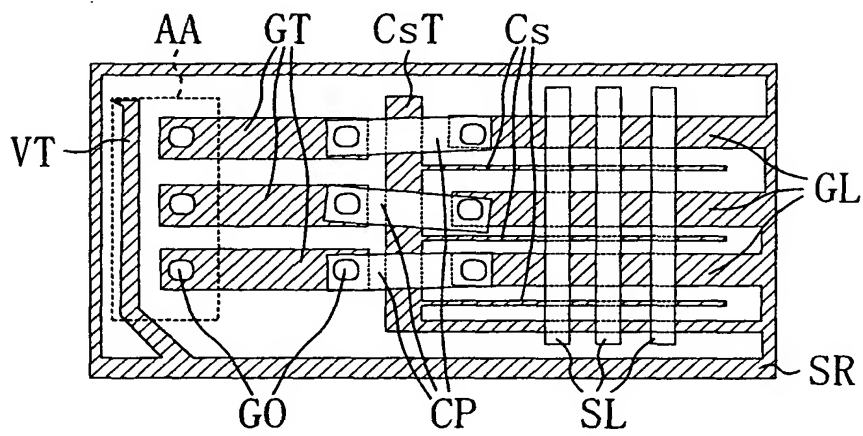
【図 17】



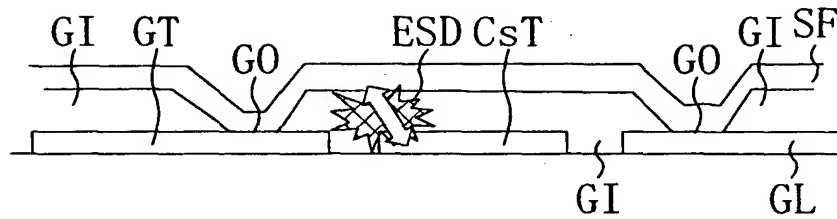
【図 18】



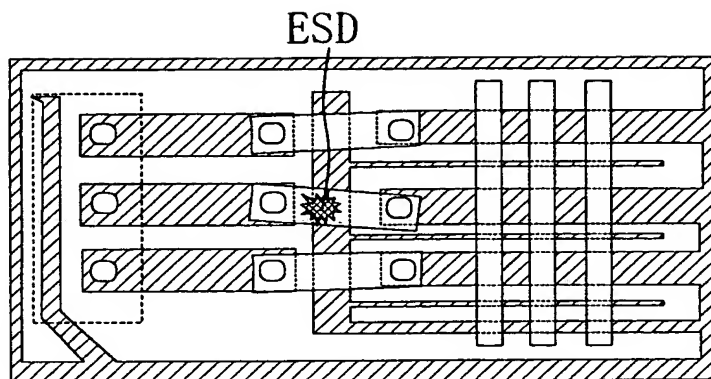
【図 19】



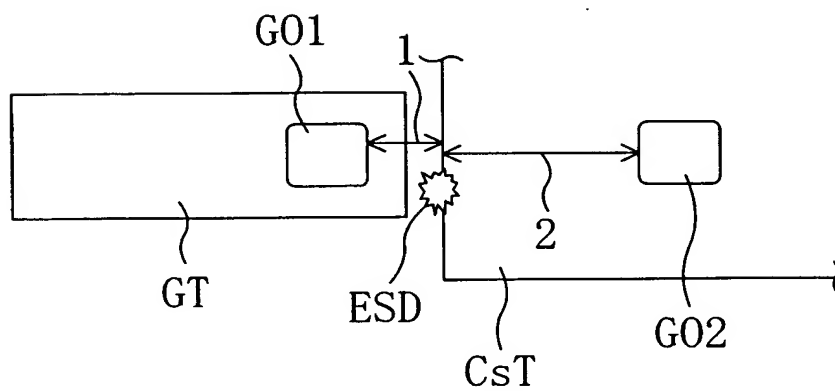
【図 20】



【図 2 1】



【図 2 2】



【書類名】 要約書

【要約】

【課題】 静電破壊による製品不良を削減する。

【解決手段】 基板の周辺部に形成されたショートリング（S R）と、S Rから同一平面において独立した独立配線パターン（例えばゲート端子G T）と、独立配線パターンに最も近接し、かつS Rと同一平面において連続する連続配線パターン（例えば、補助容量線幹C s T）と、独立配線パターンおよび連続配線パターンを覆う絶縁膜とを有する。絶縁膜は、独立配線パターンまで貫通する第1貫通口G O 1と、連続配線パターンまで貫通する第2貫通口G O 2とを有する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社